

PLOT PROCESS APPARATUS

Patent number: JP11147335

Publication date: 1999-06-02

Inventor: ISHIKAWA HIROSHI; KAWADA TETSUO

Applicant: FUJI XEROX CO LTD

Classification:

- international: G06T15/00; G06T15/00; (IPC1-7): B41J5/30; B41J21/00; G06T11/00; G09G5/36

- european: G06T15/00A

Application number: JP19970317334 19971118

Priority number(s): JP19970317334 19971118

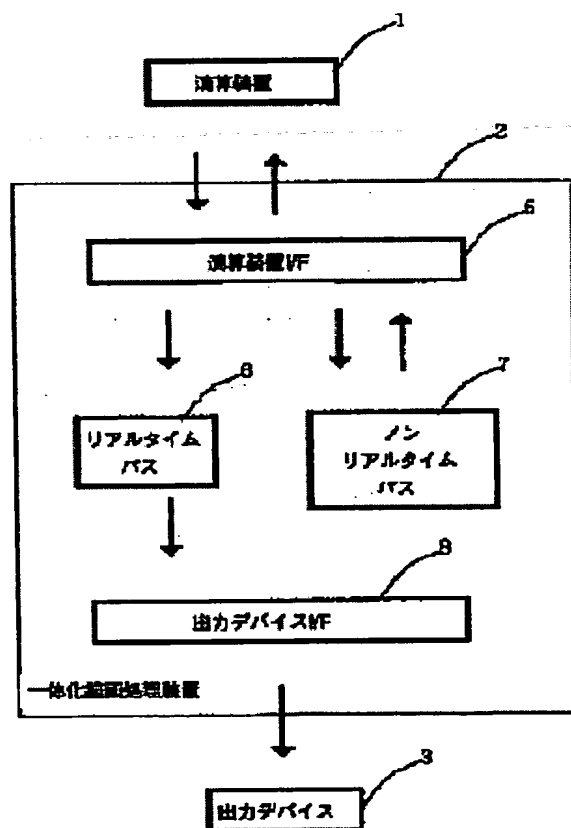
Also published as:

US6339424 (B)

Report a data error he

Abstract of JP11147335

PROBLEM TO BE SOLVED: To execute both an original image-processing function and an auxiliary accelerator function by a hardware of a small circuit scale. **SOLUTION:** Image data that cannot be processed at a required speed are sent and processed at a non-real time path 7 through an operating device I/F 5 from an operating device 1. Thereafter, the data are transferred to a designated address of a memory device through the operating device I/F 5. If necessary, the transferred data are further processed at the operating device 1 or repeatedly processed at the non-real time path 7 or transferred to a real time path 6, and finally sent to an output device 3. Image data that can be processed at the required speed are directly sent to the real time path 6 through the operating device I/F 5. The image data sent to the real time path 6 are output to the output device 3 through an output device I/F 8.



Data supplied from the esp@cenet database - Worldwide

(51)Int.Cl. ⁸		識別記号		F I	
B 41 J	5/30	B 41 J	5/30	Z	
G 06 T	11/00	G 06 T	21/00	Z	
G 09 G	5/36	G 09 G	5/36	5 30 C	
G 09 G	5/36	G 06 F	15/72	A	
		審査請求 未請求		請求項の数11 O L (全 13 頁)	

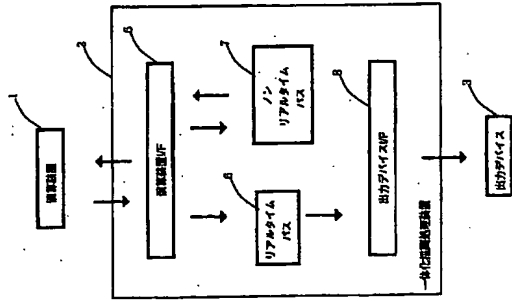
(21)出願番号	特願平9-317334	(71)出願人	00005496 富士ゼロックス株式会社 東京都港区赤坂二丁目17番22号
(22)出願日	平成9年(1997)11月18日	(72)発明者	石川 宏 神奈川県足柄上郡中井町430 グリーン テクナカイ 富士ゼロックス株式会社内
		(72)発明者	河田 智郎 神奈川県足柄上郡中井町430 グリーン テクナカイ 富士ゼロックス株式会社内
		(74)代理人	弁理士 藤田 俊夫

(54)【発明の名称】 描画処理装置

(57)【要約】

【課題】 回路規模の小さなハードウェアで、画像処理本来の処理機能と、補助的なアクセラレーション機能とを兼行できるようにする。

【解決手段】 要求速度で処理できない画像データは演算装置1から演算装置1/F5を経由してノンリアルタイムバス7に送られて処理され、その後、演算装置1/F5を経由して、指定された記憶装置のアドレスに転送される。転送されたデータは、必要であれば、さらに演算装置1で処理され、またはノンリアルタイムバス7で繰り返し処理され、またはリアルタイムバス6へ転送され、最終的に出力デバイス3に送られる。要求速度で処理できる画像データは、演算装置1/F6を介して直接にリアルタイムバス6へ送られる。リアルタイムバス6へ送られた画像データは出力デバイス1/F8を経由して出力デバイス3に出力される。



(2) 【特許請求の範囲】

【請求項1】 内部素子の接続関係が決定されるハードウェアにより構成され、入力される画像データを処理し出力デバイスをドライブする描画処理装置において、

上記出力デバイスの画像処理速度に同期して処理するリアルタイムバス手段と、
上記同期速度より遅い速度で処理するノンリアルタイムバス手段と、

上記入力された画像データの内容に基づいて、上記画像データを上記リアルタイムバス手段に転送するか上記ノンリアルタイムバス手段に転送するかを決定するバス決定手段とを有し、

少なくとも上記ノンリアルタイムバス手段は処理機能を再構成するための書き換え可能なハードウェアを含んでいることを特徴とする描画処理装置。

【請求項2】 上記処理機能を再構成するための書き換え可能なハードウェアは少なくともFPGA (フィールドプログラマブルゲートアレイ) とメモリとから成る請求項1記載の描画処理装置。

【請求項3】 描画処理装置本体は演算装置に接続され、上記リアルタイムバス手段の処理結果を、ノンリアルタイムバス手段に送るデータに含まれた、転送先アドレス情報に基づいて転送するようにした請求項1または2記載の描画処理装置。

【請求項4】 上記ノンリアルタイムバス手段に送るデータには、処理を選択する情報、および、処理に必要なパラメータを添付する請求項1、2または3記載の描画処理装置。

【請求項5】 上記リアルタイムバス手段の処理結果が転送される転送アドレスは、上記演算装置内の記憶装置のアドレスとする請求項3記載の描画処理装置。

【請求項6】 上記リアルタイムバス手段は再構成データ制御部を備え、上記再構成データ制御部は、指定された処理ロジックのロードと、転送されたパラメータのロードとを行う請求項1、2、3、4または5記載の描画処理装置。

【請求項7】 上記処理機能を再構成するための書き換え可能なハードウェアは、出力先をノンリアルタイムバス手段およびリアルタイムバス手段の一方に択一的に切り替えるバススイッチを有する請求項1、2、3、4、5または6記載の描画処理装置。

【請求項8】 カードサイズに構成される請求項1、2、3、4、5、6または7記載の描画処理装置。

【請求項9】 上記演算装置は、描画処理装置本体の性能を示すデータバスを具備し、上記データバスの情報に基づいて転送バスが判別される請求項1、2、3、4、5、6、7または8記載の描画処理装置。

【請求項10】 転送バスの切り替えが所定の画像データ単位で実行される請求項1、2、3、4、5、6、

7、8または9記載の描画処理装置。

【請求項11】 画像データを生成する演算装置と、内部素子の接続関係が決定されるハードウェアにより構成されて上記画像データを処理する描画処理装置であって、入力されたデータのバスを決定するバス決定手段と、必要な画像処理速度に同期して処理するリアルタイムバス手段と、同期速度より遅い速度で処理するノンリアルタイムバス手段と、入力された画像データの内部に転送するか上記ノンリアルタイムバス手段に転送するかを決定するバス決定手段とを具備するものと、上記描画処理装置の処理結果により制御される出力装置とを有することを特徴とする画像処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明はコンピュータで生成された画像データを処理し、表示、出力する描画処理装置に関する。

【0002】

【従来の技術】 従来、コンピュータで生成された画像を処理し、画面に表示したりプリンタに出力する場合、特にカラー画像ではその処理に多くの時間がかかるため、処理を加速する装置が追加される。たとえばカラー画像をコンバートするための圧縮伸張処理、編集に必要な回転や拡大処理、座標値を計算するためのベクトル演算処理、画質を向上させるための色補正、フィルタリングなどがある。これらの付加的な装置は、一般的に、ハードウェアアクセラレータと呼ばれ、これらハードウェアアクセラレータを使うと、コンピュータの演算処理装置を使ってソフトウェアで処理するよりも処理の高速化が図れる。ハードウェアアクセラレータの欠点はアクセラレートしたい機能をすべてハードウェアで用意しておく必要があるという点である。そのためサポートする機能の数にも依存するが、基本的に回路規模が大きくなってしまふ。また本来の処理機能、たとえばプリンタではベージ記述言語 (PDL) ファイルを解釈し、画像を展開し、プリンタを動作させ正常終了を監視する装置機能をハードウェアとは別に、上記のアクセラレータを持ったハードウェアが必要になる。

【0003】 それに対し、特開平06-131155号公報では、プログラマブルロジックをアドレスジェネレータブロックと演算ブロックとに使用して様々な画像処理の変更データをファイルとして記憶することで共通のプログラマブルロジックを変更して様々な画像処理に対応する装置が提案されている。

【0004】 また特開平06-282432公報では、各種処理に応じてそれらの演算回路の組み合わせに対するデータの流れを制御することで各種の処理をより少ない演算の組み合わせで行い、もって演算回路を小さくする装置が提案されている。

【00005】しかしながら、これら従来の方式では画像処理を行うときの制約が大きく、回路規模を十分生かさない。演算装置に所定の画像処理に必要なマクロ処理群が登録され、外部から入力される命令コードを一旦デコードしてアドレスを生成し演算を選択して処理する方法は、処理が単純な処理の域までである場合は有効である。しかし、複雑でかつ種類が多い処理を実現するには、効率が悪い方法である。また算術論理ユニット（ALU）を複数配置して並列処理することは一つの改善である。しかし、画像処理の場合逐次処理して行くパイプライン化に向いており、並列化では汎用プログラム処理よりは高速化できるものの、ハードウェアアクセラレータとしては規模の割に効果が小さい。

【00006】そしてこれらの技術は本来の処理とは別の画像処理の一部を担うものであり、装置全体としてはコネクタには成らない。

【00007】

【発明が解決しようとする課題】本発明の目的は、上記のような従来技術の問題を解決し、画像処理本来の処理機能と、所外的に重い処理を加速させるアクセラレータ機能とを、ともにハードウェアとして実現することにも、上記ハードウェアは小さな回路規模で構成できるようにすることにある。

【00008】

【課題を解決するための手段】本発明によれば、上述目的を達成するために、描画処理装置をハードウェアで構成し、この描画処理装置に、上記出力デバイスの画像処理装置と同様に処理するリアルタイムバス手段と、上記リアルタイムバスより遅い速度で処理するノンリアルタイムバス手段と、上記画像データを上記リアルタイムバス手段に転送するか上記ノンリアルタイムバス手段に転送するかを決定するバス決定手段とを設け、少なくとも上記ノンリアルタイムバス手段、処理機能を再構成するための書き換え可能なハードウェアを含ませて構成するようにしている。

【00009】この構成においては、ノンリアルタイムの処理を再構成可能なハードウェアで実現しているので様々な種類のノンリアルタイムの処理を同一のハードウェアで実行することができ、回路規模を小さくするのに抑えることができる。また、ソフトウェアで実行する場合に比べ高速の処理が可能となる。

【0010】本発明をさらに詳細に説明する。本発明により実現されるシステムの一例は、全体として、演算装置と一体化描画処理装置と出力デバイスとからなり、一体化描画処理装置は、演算装置インターフェース（I/F）と、リアルタイムバスと、ノンリアルタイムバスと、出力デバイスI/Fとを含んで構成されている。演算装置I/Fは入力バッファとバス決定部からできている。ノンリアルタイムバスは再構成データ制御部、再構

成可能なハードウェア、ワークメモリ、出力バッファがなる。演算装置から送られるデータにはヘッダ情報が付加されていて、リアルタイムバス、ノンリアルタイムバスの指定、パラメータがついている。またヘッダにはIDナンバーが付与されている場合、IDナンバーに基づいて再構成データ制御部が再構成可能ハードウェアに処理ロジックをロードし機能させる。バススイッチがバスの切り替えを行い、ノンリアルタイムバスの中の再構成可能なハードウェアをリアルタイムバスで使用することもできる。

【0011】

【発明の実施の形態】以下、図面に基づき本発明の実施例について説明する。

【0012】【実施例】図1は、本発明に係る一体化描画処理装置を使ったシステムの構成例を示す。図1において、コンピュータなどの演算装置1でPostScript（米国アドビシステムズ社商標）などのPDFとして書かれた文書やGDI（Graphic Device Interface、米国マイクロソフト社の商標）などの表示向けフォーマットなどを、アプリケーションソフトウェアを使って生成する。また、演算装置1のソフトウェアによって生成して作られたファイナルネットワーク経由で受け取り、このファイナル（電子情報）を可視化する処理を行ってもよい。一体化描画処理装置2には可視化処理に必要なハードウェア、ソフトウェアの動作環境が具備されている。演算装置1は、一体化描画処理装置2を使って、例えば表示用やプリント用の出力デバイス3に出力できるビットマップデータに変換されており出力デバイス3を駆動する。

【0013】図2は一体化描画処理装置2の構成例を示す。図2に示すように一体化描画処理装置2は、演算装置インターフェース（I/F）5と、出力デバイスインターフェース（I/F）8と、リアルタイムバス6と、ノンリアルタイムバス7とから構成されている。演算装置1/Fは一体化描画処理装置を演算装置1にハードウェア上またはソフトウェア上接続するためのものであり、出力デバイス1/Fは一体化描画処理装置2と出力デバイス3との間の接続を行うものである。リアルタイムバス6は、演算装置1から受けた画像データを出力デバイス3の要求速度、または、画像データを可視化するのに必要な速度で処理を実行するものである。ノンリアルタイムバス7は要求速度より遅い速度で処理を実行するものである。演算装置1から演算装置1/F5を經由してノンリアルタイムバス7に送られた画像データは、ノンリアルタイムバス7において処理され、その後、演算装置1/F5を經由して、指定された記憶装置のアドレスに転送される。転送されたデータは、必要であれば、さらに演算装置1で処理され、またはノンリアルタイムバス7で繰り返し処理され、またはリアルタイムバ

ス6へ転送され、最終的に出力デバイス3に送られる。演算装置1から演算装置1/F5を經由してリアルタイムバス6へ送られた画像データは出力デバイス1/F8を經由して出力される。要求速度で処理できることがあらかじめ判明している画像データは、リアルタイムバス6へ送られる。リアルタイムバス6で処理された結果は出力デバイス1/F8を經由して出力デバイス3へ送られる。ここで出力デバイス3は、プリンタや表示デバイスと言う。プリンタは白黒プリンタ、カラープリンタを含み、カラープリンタは例えばカスケード式、タンデム式である。表示デバイスは例えばCRT、液晶表示装置である。

【0014】演算装置1から送られてくる画像データは、以下の実施例の説明では2次元静止画にするけれども、それにとどまらず、3次元静止画や動画なども基本的に同じフローとなり、同様に処理対象として扱うことができる。

【0015】図3は、図1のシステムにおける各機能ユニットおよび画像データの処理フローを示す。図3の処理フローの前処理としてアプリケーションソフトウェアでプリントや表示したいデータを生成する。それらはPDFであったりGDIタイプであったりPDF（Portable Document Format）であったりする。処理したいデータが直接、またはネットワークを經由して演算装置1に入力される。

【0016】図3において、まず、処理データ入力部101ではデータファイルを固まりとして一旦記憶装置で記憶し、順次字句解析部102でファイルに書かれた内容を記述のシンタックスに従って解析し、トークンとして切り出し、オブジェクトに分けて必要な処理を施す。

【0017】字句解析結果が描画命令であれば文字図形処理部103が処理する。描画命令は、文字であれば、文字コード、フォントID、座標マトリクス描画色などであり、図形であれば、ベクター、座標変換マトリクス、線属性、描画色などであり、それらの処理を文字図形処理部103で行う。描画命令部とそれに付加された情報、フォントデータ情報を使用してまずベクターデータ生成を行い、ベクターデータは変換マトリクスによって変換される。変換されたベクトルはベジェなどの曲線で表されるのでこれを複数の直線ベクターで近似する。直線近似したベクトルを台形データなどの矩形の集合で表現する。

【0018】字句解析結果が画像描画命令であればラスタ処理部104が処理する。画像については、ソース画像データ、ソース画像ヘッダ情報（サイズ、深さ、色、圧縮など）、座標マトリクスなどがあり、それらの処理をラスタ処理部104で行う。ソース画像データに付いたヘッダ情報にもとづき演算処理が行われる。演算内容は伸張であったり、拡大処理、回転処理、色補正処理などである。結果は同様に矩形で生成される。

【0019】中間データ生成部105は処理結果並べ替え部201（図12）、バンド単位分割部202（図12）、文字図形ラスタ合成部（図12）から成る。まず処理結果並べ替え部では字句解析部102で順次処理された描画命令群をあたる領域単位で並べ替えることを行う。領域単位は出力デバイス3ごとに異なる。プリンタの場合は、プリント出力する走査方向に沿って所定長のライン単位で区切り、出力する側の先頭から領域を作っでゆく。一つにはバンドという単位がある。ディスプレイでも同様に操作方向のラインにしたがって領域を分ける。文字図形やラスタ画像は表示画面または1ページ上に広がって記述される。そのため、領域の先頭から並べ替えたものを領域に当てはめると英辞図形やラスタ画像が領域の境界上に重なる場合がある。そのときにはバンド単位分割部で矩形データを複数の領域に分割し、それぞれの領域に入るような矩形を新たに生成する。文字図形、ラスタごとに処理を行い、文字図形ラスタ合成部で領域ごとにまとまった中間データを生成する。

【0020】中間データの生成の例を図7～図10に示す。図7および図8は文字図形に関するものである。ある図形データを波線で示すような三角、または台形で区切る。さらにバンド境界で区切る。区切られた結果5つの区切られたオブジェクトID、外接矩形、処理ID、色処理などが付加された情報が生成される。

【0021】図9および図10はラスタデータに関するものである。通常四角形の写真がバンド境界で2つに分けられる。文字図形と同様にオブジェクトID、台形数、外接矩形、処理ID、台形それぞれ別の画像ヘッダと画像データが生成される。このように中間データには領域ごとにどんな展開処理が必要なのかのヘッダ情報が付与される。ラスタについては中間データ展開部107との役割分担により中間データ形式はいくつかの選択が可能であり、最終のデータに必要な処理から中間データ展開部107で行う処理を引いた残りがあらかじめ中間データ生成に必要な処理となる。必要な展開処理を色変換、解像度変換、スクリーンとすれば、それらがヘッダ情報として付与される。文字図形ラスタ合成部はそれぞれ別に処理された文字図形とラスタ画像を、共通のバンドインク単位で図8、図10の情報をまとめてゆく。

【0022】生成された中間データは中間データ記憶部106で記憶され、中間データ展開部107で展開処理する。文字図形データの展開処理は矩形の直線ベクトル描画である。矩形のエッジ座標を計算し、二つの座標計算から出された矩形デフォルトから座標計算処理座標値により矩形のx軸に平行な直線を描画し、色情報に基づき矩形内を塗りつぶす。ラスタデータについてはヘッダ情報から色変換、解像度変換をする必要があるとす。色空間がRGBで入力されたときと、テーブルを使ってそれぞれの値に対応したYCMCKを出力する。テーブルが大きくなくする場合には出力された代表値とその近辺の

【0019】中間データ生成部105は処理結果並べ替え部201（図12）、バンド単位分割部202（図12）、文字図形ラスタ合成部（図12）から成る。まず処理結果並べ替え部では字句解析部102で順次処理された描画命令群をあたる領域単位で並べ替えることを行う。領域単位は出力デバイス3ごとに異なる。プリンタの場合は、プリント出力する走査方向に沿って所定長のライン単位で区切り、出力する側の先頭から領域を作っでゆく。一つにはバンドという単位がある。ディスプレイでも同様に操作方向のラインにしたがって領域を分ける。文字図形やラスタ画像は表示画面または1ページ上に広がって記述される。そのため、領域の先頭から並べ替えたものを領域に当てはめると英辞図形やラスタ画像が領域の境界上に重なる場合がある。そのときにはバンド単位分割部で矩形データを複数の領域に分割し、それぞれの領域に入るような矩形を新たに生成する。文字図形、ラスタごとに処理を行い、文字図形ラスタ合成部で領域ごとにまとまった中間データを生成する。

値を算出する補間計算により小さなデータでもYMCCKが出力される。出力デバイス3がディスプレイの場合はRGB（標準）からデバイス特性にあったRGB（固有）を出力する計算となり、YMCCK出力より単純計算で、ソース画像が小さなサイズの場合は、解像度変換デバイスにあわせて大きくする場合には、解像度変換をする。すなわち、ラスターデータを読み込み、補間処理により出力デバイスの画素にあわせてアドレスを計算する。これらを分割した領域ごとに処理し、出力デバイス3へ出力する。

【0023】中間データ展開部107はソフトウェアによる展開処理方法も採用できるけれども、DDA (Digital Differential Analyzer) を使った座標計算や、文字図形とラスターを含んだ中間フォーマットを直接にバイブライニング処理ハードウェアにより展開処理する方法がすでに知られている。

【0024】図3で示した処理フローはリアルタイムバス6とノンリアルタイムバス7を含めた総合的なフローである。中間データを生成するまでは演算装置1で処理を行うが、ラスターを中心とした処理は負荷が重く単純に演算装置1のソフトウェア処理では時間がかかる。

【0025】図4にノンリアルタイムバス7の処理ブロックを示す。なお、演算装置1（図1、図2）にはメモリおよびCPUの性能、出力するデバイス3の要求速度、一体化描画処理装置2に関するデータベースがあらかじめ登録されている。データベースを用いて、例えば画像処理であれば、その処理内容、さらに、対象画像サイズからリアルタイムバス6へ送るかノンリアルタイムバス7へ送るかを、大まかに決定する。リアルタイムバスで処理可能かどうか判断が困難な場合には自動的にノンリアルタイムバス7になる。

【0026】図4において、演算装置1/Fは入力バッファ51およびバス決定部52を含む、ノンリアルタイムバス7は、再構成データ制御部71、再構成可能ハードウェア72、ワークメモリ73、出力バッファ74を含むで構成されている。演算装置1でバスが決定された必要なヘッダ情報を付加した画像データは演算装置1/F5に送られる。演算装置1/F5は画像データを入力バッファ51へ格え、ヘッダ情報に書かれたリアルタイム、またはノンリアルタイムの識別に基づいてバス決定部52がデータの送る方向を決める。ノンリアルタイムのデータの場合、データのヘッダには画像処理内容を示すID、画像データサイズ、転送速度、演算装置1内のメモリアドレスなどが含まれる。ヘッダ情報は再構成データ制御部71に送られ、この再構成データ制御部71はヘッダ情報に書かれた次に動作させる処理内容を、再構成可能ハードウェア72にロードする。再構成ハードウェア72は動的に書き換え可能なFPGA（フィールドプログラマブルゲートアレイ）素子でできていて、一部、または全部のロジック部を書き換えることができる

る。入力バッファ51はノンリアルタイムバス7で処理するデータを再構成可能ハードウェア72に送る。再構成可能ハードウェア72はワークメモリ73を使用して演算処理しその結果を出力バッファ74に送り、出力バッファ74はヘッダに書かれたメモリアドレスへ転送する。

【0027】再構成データ制御部71にはラスター処理を中心とした処理ロジックがあらかじめ登録されている。処理ロジックが再構成可能ハードウェア72にロードされると、再構成可能ハードウェア72は一般のASIC（特定用途向けIC）などと同様の機能を果たすように記述されている。一般のASICと同様、動作の論理記述をHDLなどのハードウェア記述言語で記述し、コンパイルしてハードウェアのロジックデータに変換し、動作シミュレーションで期待通りのタイミングで動作するかどうかをチェックする。再構成可能ハードウェア72の最大サイズも考慮する。例えば最大ゲートサイズを超える場合には、動作速度を遅くしてもハードウェア記述をコンパルトに最大サイズ内に納める。正常に動作したロジックデータを再構成データ制御部71へ登録する。登録方法はコンピュータである演算装置1に入力し、演算装置1/F5を経由して転送する。またはあらかじめROMなどに記憶させたデータを制御部71に設置する方法もある。フラッシュメモリなどであれは設置した後、演算装置1よりダウンロードすることもできる。

【0028】図11は再構成可能ハードウェア72への書き込み手順を示す。図11に示すように処理IDを入力すると再構成データ制御部71にあるデータベースを参照する（S11、S12）。IDナンバーとデータベース番号とは一致するように配置されている。IDから参照したデータベース内にはアドレス情報が登録されている。アドレス情報から再構成データ制御部71で登録されている処理ロジックを読み出す（S13）。処理以外に関連する必要な入出力割り当て対応データを読み出し（S14）、処理系と入出力系を併せて再構成可能ハードウェア72にロードする（S15）。

【0029】図5にヘッダ情報の例を示す。ヘッダ情報は、バス決定部52がノンリアルタイムからリアルタイムバスかを選択するための情報であり、図ではリアルタイムを01、ノンリアルタイムを02というコードで示している。リアルタイムではその後の処理に必要なパラメータが付加されている。たとえば画像を2倍に拡大する場合に拡大処理名と倍率2という数字が入っている。ノンリアルタイムでは送られたデータをどのような処理してほしいかのID番号が付加されている。処理パラメータは色補正を行う場合の演算係数が入っている。処理パラメータの後に、画像サイズ、転送速度、メモリアドレスが続く。

【0030】演算装置1がノンリアルタイムバス7を使用する場合には処理したいデータにヘッダ情報を付与す

る。演算装置1/F5は受け取ったデータを一旦入力バッファ51へ蓄積する。ヘッダ1の内容がノンリアルタイムになっているので、バス決定部52はデータをノンリアルタイムバス7へ送る。ヘッダ情報は再構成データ制御部71へ送られ、この制御部71は次々に送られてくるデータに対応して処理ロジックを動的にロードする。ロードされた再構成可能ハードウェア72は処理するデータをバス決定部52経由で受け取り、ワークメモリ73を使用して順次処理し出力バッファ74へ送る。再構成データ制御部71は処理内容によりワークメモリ73の使用可能領域を決定する。また送られたヘッダ情報に出力バッファ74が送るべき先のアドレスが設定されているので、出力バッファ74へヘッダ情報を送る。出力バッファ74は送り先アドレス情報に基づいて出力データを転送する。

【0031】色補正処理を例にして一連の流れを説明する。色処理の内容は出力デバイス3や記述方法、処理したい品質などで10種類以上の組み合わせがある。記述は入力RGB系、Lab系、YMCCK系があり、出力がRGB系、YMCCK系がある。変換精度によりデータ方式、マトリクス方式、テーブル及び補正方式がある。出力デバイス3への適合処理では出力デバイス3の色空間範囲マッピング処理がある。組み合わせた処理モード1に登録されている。登録されていない場合は演算装置1から演算装置1/F5を経由してダウンロードできる。処理ロジックにはすべてIDナンバーが付与されていて、入力されるヘッダのIDナンバーと一対一で対応がつく。たとえばIDナンバーがテーブル及び補正方式を示すテーブル及び補正方式の処理ロジックがロードされる。再構成可能ハードウェア72は100kゲート相当が再構成可能ハードウェア72に書き込まれる。再構成可能ハードウェア72は100kゲート書き込めるものとする。より大きなサイズも実装可能である。演算に必要なパラメータはヘッダ情報から入手し、再構成可能ハードウェア72に設定される。再構成可能ハードウェア72は高速メモリ素子SRAMが内蔵され、演算に必要な係数や参照テーブルなどを構成できる。処理データはインターネット上のファイルで使われている標準的な表現の一つであるRGB（標準）で入力され、数画素単位以上でワークメモリ73へ一旦蓄積し、演算のために読み出され、再構成ハードウェア72で処理され、YMCCKデータで生成される。1画素は24ビット入力、32ビット出力であるが、この値は出力デバイス3の表現できる範囲でできる。YMCCKは32ビット単位で出力バッファ74に送られ、出力バッファ74は指定されたアドレスへ転送する。再構成ハードウェアとワークメモリ73は所定の一定速度のクロックに同期し動作するため、高速処理が可能になる。ワークメモリ73はダイナミックRAMを用いることができ、高速ア

クセスできるもの、またはバス幅を広げて接続されるものが採用される。転送のために指定されるアドレスは演算装置1内のメモリ装置となる。

【0032】再構成ハードウェア72の動作クロックは素子の特性にもよるが100MHzクロックで動作し、テーブル及び補正処理では1画素5クロックで終了すると、20M画素/秒となる。例えば出力デバイス3へリアルタイムで送る場合は50M画素/秒必要となるためリアルタイムバス6へ送ることはできないが、演算装置1でソフトウェアによる処理では4M画素/秒程度であるため、ノンリアルタイムバス7を使用すると数倍高速化できるようになる。

【0033】色補正に関する必要な処理ロジックを合計すると400kから500kゲートになるがノンリアルタイムバス7を使うことで十分小さな再構成可能ハードウェア72ですべての機能をサポートすることができるようになる。

【0034】【変形例】今までは再構成可能ハードウェア72の利用方法をノンリアルタイムバス7のみで説明してきたけれども、処理内容と動作速度によって出力デバイス3の要求速度に間に合うケースもでてくる。そのときは再構成可能ハードウェア72はリアルタイムバス6のリソースとして使用できる。

【0035】図6は再構成可能ハードウェア72をリアルタイムバス6としても使用する構成を示す。図6において、全体の構成は図2と同じである。一体化描画処理装置2内にバススイッチ9が加わる。図4に示す演算装置1/F5内のバス決定部52からリアルタイムバス6へゆきビデオの流れる印字はバススイッチ9へ入力される。そのほかの再構成データ制御部71やワークメモリ73などに変更はない。バススイッチ9とノンリアルタイムバス7間は双方方向のバスが具備される。再構成可能ハードウェア72で動作する処理は、例えば色補正処理であり、テーブル及び補正方式より処理が単純なマトリクス方式を使用するものとする。変換精度の要求があまり高くないケース、または同じ色の系（RGB（標準）からLabへの変換など）の中での変換などにはマトリクス方式が使われる。マトリクス方式を用いると、処理ロジックのゲート数が5Kの処理ロジックにより1画素1クロックで処理できるため、再構成可能ハードウェア72の動作速度は100M画素/秒となることを、演算装置1はデータベースに判断できる。その結果、演算装置1はまずヘッダにリアルタイムバス6を指定し、通常のリアルタイムバス7のヘッダにはないID情報を付与する（図5に示すように）。IDから処理ロジックを決まり再構成データ制御部71は指定のモジュールをロードする。演算装置1/F5のバス決定部52はこれらの条件からノンリアルタイムバス7にある再構成可能ハードウェア72を、バススイッチ9を使ってリアルタイムバスでも使用できるように切り替える。データライン

(7)

11
の16本ないし32本とタイミッド制御、通称制御ライ
ンを切り替える。演算装置1/F5からでたライスはパ
ススイッチ9へ入りバススイッチ9からノンリアルタイ
ム7の再構成可能ハードウェア72に入り出力バッファ
74の出力はバススイッチ9へつながらりリアルタイムバ
ス6へ入力され処理される。1Dナランバーから再構成デ
ータ制御部71はマトリクス方式の処理ロジックをロー
ードする。その後にはバッダに付いているパラメータがロ
ードされ再構成可能ハードウェア72の動作が可能にな
る。再構成可能ハードウェア72が可能になると入力バ
ス6から画像データが転送開始される。再構成可
能ハードウェア72は出力デバイス3の要求速度である
50M画像/秒で処理し、その結果は出力バッファ3か
らリアルタイムバス6へつながらり、リアルタイムバス6
で別の処理が行われ出力デバイス1/F8へ転送され
る。その結果は出力デバイス3へ表示、プリントされ
る。

12
【0036】今までの説明では、ノンリアルタイムバス
7とリアルタイムバス6の動作をシリアルに行っている
けれども、演算装置1と一体化描画処理装置2との接続
がIEEE1355のように、同時双方向で高速データ
転送が可能であれば、ノンリアルタイムとリアルタイム
の処理を同時に平行して動作させることができる。演
算装置1/F5を2系統にした入力バッファ51の容
量を拡張することで平行動作時の性能を向上させること
ができる。以上で一体化描画処理装置2を使った動作を
説明する。

13
【0037】演算装置1は処理するデータの固まり、通
常は、プリントしたり表示したりするドキュメント一
面である。最小単位でバンド処理を開始する。
【0038】バンド処理を行う各機能部および相互の動
作フローを図12に示す。図12において、処理結果並
べ替え部201、バンド単位分割部202、文字図形ラ
スタ合成部204、パス判断部204が、バンド処理を
行なう。パス判断部204は、生成されたバンドがリア
ルタイムバス6に送れるかどうかを、データベース20
5を使ってチェックし、処理負荷が重い処理はノンリア
ルタイムバス7を使って処理する。リアルタイムバスと
判断された場合は次のバンド処理を行う。最小単位を終
了して出力するケースのほかに、ドキュメント一式をす
べて処理してから出力デバイスへ出力するケースとがあ
る。ドキュメント一式をすべて処理する方法では上記の
平行動作が特に有用になる。

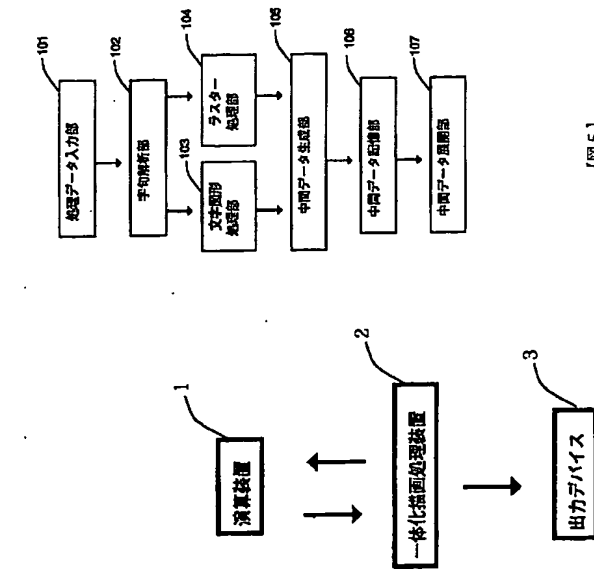
14
【0039】以上説明したように、本実施例では演算装
置に接続された一体化描画処理装置は処理した結果を直
接出力デバイスへ接続されている。一体化描画処理装置
は画像データの処理を行い出力デバイスを直接ドライバ
するリアルタイムバスと、出力デバイスを直接ドライバ
する処理速度よりも遅い処理を行うノンリアルタイムバ
スとを具備する。演算装置は画像データにリアルタイム
またはノンリアルタイムバスかの判断をして、処理1D
などの必要なバッダ情報を添付し、一体化描画処理装
置はノンリアルタイム処理であれば処理1Dに従って処
理ロジックを再構成可能ハードウェアにロードし出力バ
ッファ経由で演算装置へ送り返すことで演算装置のコン
ピュータを使ってソフトウェア処理するより高速に処理
が可能となる。ノンリアルタイムバスにある再構成可能
ハードウェアで動作する処理ロジックを数多く用意して
おくことで、小さいハードウェア規模で多くの画像処理
をソフトウェアより高速に行うことができる。
【0040】ノンリアルタイムバスにある再構成可能ハ
ードウェアの性能が高い場合または処理する内容が比較
的単純で十分リアルタイム処理が可能の場合はバススイ
ッチを使ってリアルタイムバスとつなげて処理できるた
め、ノンリアルタイムバスを過ぎず、さらに高速な処理
が可能となり、小さなハードウェア規模で動作可能であ
ることは変わらない。
【0041】またノンリアルタイムバスの処理結果は転
送先アドレスを指定すればよく、指定を演算装置にすれ
ば一体化描画処理装置は大きなメモリがいらずカードサ
イズでハードウェア実装が可能になる。
【0042】接続する出力デバイス特性が変わったとき
でも処理ロジックを新たにダウンロードしたり、処理パ
ラメータを変更すればよく、性能が変更したときはデー
タベースを変更してリアルタイムバスを活用することで
広い範囲に対処可能である。また一体化したハードウェ
アであり複数のボードは不要であるため安価に構成でき
る。
【0043】
【発明の効果】本発明によれば、ノンリアルタイムバス
を構成する再構成可能ハードウェアで動作する処理ロジ
ックを数多く用意しておくことで、小さいハードウェア
規模で多くの画像処理をソフトウェアより高速に行うこ
とができる。
【図面の簡単な説明】
【図1】 本発明の実施例のシステム全体の構成を示す
ブロック図である。
【図2】 一体化描画処理装置の内部ブロック図であ
る。
【図3】 データ処理のフローを説明する図である。
【図4】 ノンリアルタイムバスの内部ブロック図であ
る。
【図5】 ヘッダ情報の内部ブロック図である。
【図6】 バススイッチを入れた一体化描画処理装置の
内部ブロック図である。
【図7】 文字図形のバンドを説明する図である。
【図8】 文字図形のバンドおよび添付情報を説明する
図である。
【図9】 ラスタのバンドを説明する図である。

(8)

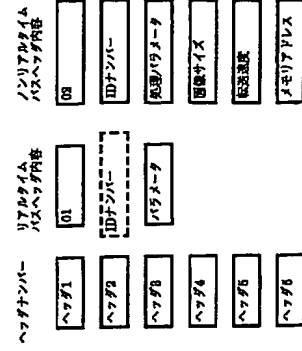
13
【図10】 ラスタのバンドおよび添付情報を説明する
図である。
【図11】 処理ロジックを決定するフローを説明する
図である。
【図12】 バスを決定するフローを説明する図であ
る。
【符号の説明】
1 演算装置
2 一体化描画処理装置
3 出力デバイス
5 演算装置1/F
14
51 入力バッファ
52 バス決定部
6 リアルタイムバス
7 ノンリアルタイムバス
71 再構成データ制御部
72 再構成可能ハードウェア
73 ワークメモリ
74 出力バッファ
8 出力デバイス1/F
9 バススイッチ

【図1】

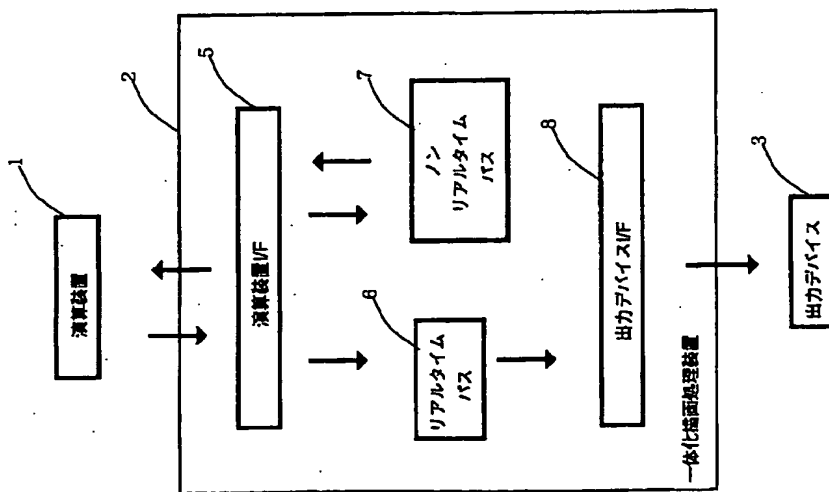
【図3】



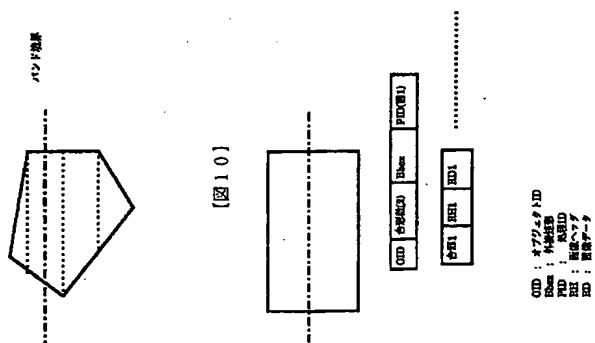
【図5】



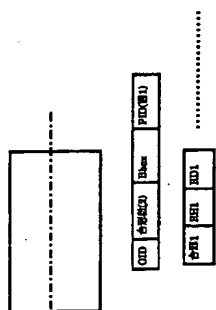
【图2】



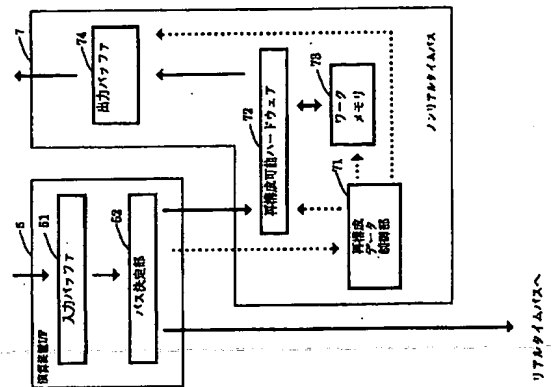
【圖7】



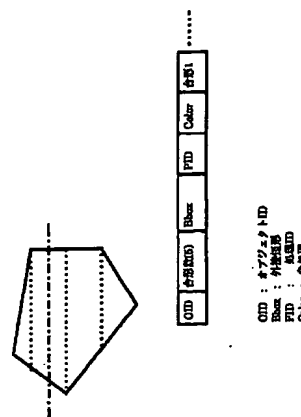
【図10】



【图4】

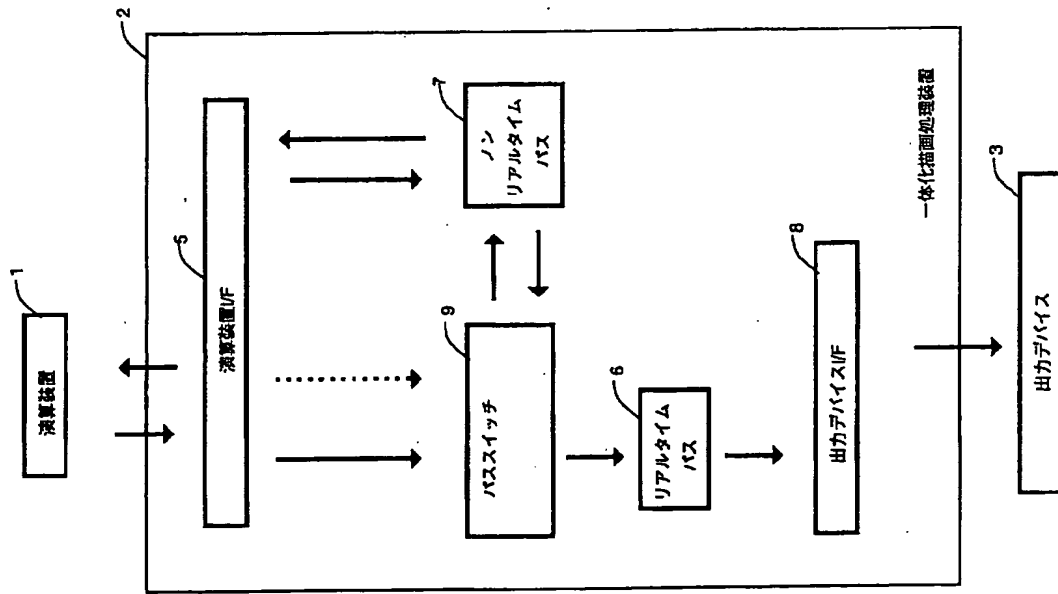


【8】



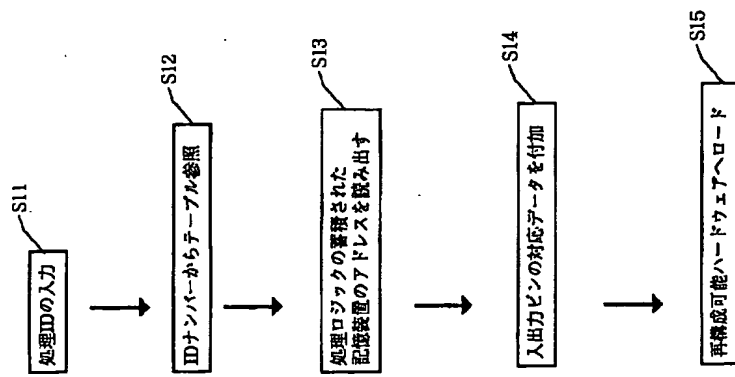
(11)

【図6】



(12)

【図11】



【図12】

